

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

Requested Patent: JP4025130  
Title: MANUFACTURE OF POROUS SILICON SUBSTRATE  
Abstracted Patent: JP4025130  
Publication Date: 1992-01-28  
Inventor(s): KOUKADO KOUICHI; others: 01  
Applicant(s): SUMITOMO ELECTRIC IND LTD  
Application Number: JP19900129953 19900518  
Priority Number(s):  
IPC Classification: H01L21/316

Equivalents:

**ABSTRACT:**

**PURPOSE:** To enable an excellent porous silicon layer to be formed evenly even on a large space substrate by a method wherein an electrolytic cell is divided so as to divide the surface of a silicon substrate into multiple sections while cathode electrodes are provided in respective sections to be made porous and then the pore diameter of a porous silicon layer is changed in the depth direction.

**CONSTITUTION:** An electrolytic cell is divided so as to divide the surface of a silicon substrate 6 into multiple sections to provide cathode electrodes 7 in respective sections while changing the pore diameter of a porous silicon layer in the depth direction. Accordingly, the current in even and constant density can be fed between electrodes even if the shape of the silicon substrate 6 is enlarged while enabling the porous silicon layer to be formed on the surface of the substrate 6. Furthermore, the stress imposed inside the epitaxially grown crystals can be relieved by changing the pore diameter of the porous silicon layer in the depth direction thereby avoiding the cracking etc., of crystals. Through these procedures, even a large space silicon substrate can be made evenly porous in excellent crystallizability even if crystals are epitaxially grown on the silicon substrate 6.

## ⑫ 公開特許公報(A) 平4-25130

⑤ Int. Cl.<sup>5</sup>  
H 01 L 21/316  
// H 01 L 21/20

識別記号 庁内整理番号  
T 6940-4M  
7739-4M

⑬ 公開 平成4年(1992)1月28日

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 多孔質シリコン基板の製造方法

⑮ 特 願 平2-129953

⑯ 出 願 平2(1990)5月18日

⑰ 発 明 者 香 門 浩 一 兵庫県伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑱ 発 明 者 木 村 浩 也 兵庫県伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市中央区北浜4丁目5番33号

⑳ 代 理 人 弁理士 深見 久郎 外2名

## 明 細 書

## 1. 発明の名称

多孔質シリコン基板の製造方法

## 2. 特許請求の範囲

(1) エピタキシャル結晶成長の基板となるシリコン単結晶基板の表面を、電解セル中で陽極酸化することにより多孔質シリコン層を形成して多孔質シリコン基板を製造する方法において、

前記シリコン基板表面が複数の区画に分かれるように前記電解セルを分割し、各区画にそれぞれ陰極電極を設けて前記多孔質シリコン層を面内に均一に形成させるとともに、深さ方向に前記多孔質シリコン層の孔径を変化させることを特徴とする、多孔質シリコン基板の製造方法。

(2) 多孔質シリコン層を形成する際に必要とする電流密度を時系列的に変化させることによって、前記多孔質シリコン層の孔径を深さ方向に変化させることを特徴とする、請求項1に記載の多孔質シリコン基板の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は、基板表面を陽極酸化して多孔質シリコン層を形成した多孔質シリコン基板の製造方法に関するものであり、たとえばⅢ-V族化合物半導体、Ⅱ-VI族化合物半導体、Ⅳ-Ⅳ族化合物半導体、および酸化物超電導化合物などがその上にエピタキシャル結晶成長される多孔質シリコン基板の製造方法に関するものである。

## 〔従来の技術〕

表面に多孔質シリコン層を形成した多孔質シリコン基板上に化合物半導体材料をエピタキシャル成長させる従来の技術は、たとえば特開昭63-182811号公報や、Applied Physics Letters, 51(1987)814頁などがあり、GaAs化合物を多孔質シリコン基板上にエピタキシャル成長させている。

エピタキシャル成長させる基板として多孔質シリコン基板を用いる理由は、このように多孔質シリコン層を基板表面に形成することにより、基板との格子不整合によるミスフィット転位を多孔質

シリコンに吸収させることができ、結晶性を向上させることができるからである。

第7図は、このような陽極酸化を行なうための従来の電解セル装置を示す断面図である。第7図を参照して、テフロンセル11の上にはテフロン上蓋12が設けられており、このテフロン上蓋12の中央には空気孔15が形成されている。この空気孔15には支持棒17aが通されている。支持棒17aの先端には円板状の陰極17が設けられている。

テフロンセル11の下方にはテフロン下蓋13が設けられており、シリコン単結晶基板16は、両側のリング14を介してテフロンセル11の下方端とテフロン下蓋13との間に挟みつけられて支持されている。またシリコン単結晶基板16の下には陽極18が取り付けられている。

テフロンセル11内には、電解液19が満たされている。陰極17としては一般に白金が用いられている。陰極17と陽極18の間に一定の電流密度で電流を流すことにより、シリコン単結晶基

— 3 —

面層近傍を多孔質化させることが必要となる。

しかしながら、このように大きなシリコン基板を従来の電解セルを大型化して多孔質化しようすると、電極の面積化に伴い、広い面積にわたって電流密度を均一にかつ一定に制御することが困難になる。電流密度が正確に制御できなくなると、多孔質シリコン層を広い面積にわたって均一に形成させることが困難になる。このような不均一な多孔質基板を用いて、化合物半導体や酸化物超電導化合物等をその上にエピタキシャル結晶成長させようすると、得られるエピタキシャル結晶成長層は不均一なものとなり、結晶性が低下する。このため、従来の方法で大面積のシリコン基板を多孔質化しようすると、デバイスプロセス工程で極端な歩留まり低下が生じてしまう。

また別な問題として、直径3インチ以上のシリコン基板を使用し、この上にエピタキシャル結晶成長させると、成長したエピタキシャル結晶の応力緩和を平均化することが難しくなる。このため、成長したエピタキシャル結晶の結晶性を十分に向

— 5 —

板16の表面を多孔質化する。流す電流密度が一定の場合、形成される多孔質層の孔径は、深さ方向に対して一定の孔径になる。

〔発明が解決しようとする課題〕

研究用の小面積のシリコン単結晶基板を用いる場合、電極面積が小さくてすむので電極間に流れる電流密度を全体にわたって、均一にかつ一定に保持することが容易である。したがって、均一な多孔質シリコン層を得ることができる。

しかしながら、工業化を考えると大面積化が必要になる。たとえば、シリコン基板の大きさは、シリコンICプロセスにおいては、現在直径5～6インチが主流であり、基板そのものも入手できる最小の大きさが直径3インチの形状になりつつあり、直径2インチ形状の基板を入手することが困難になりつつある。したがって、多孔質シリコン基板上に化合物半導体や酸化物超電導化合物を工業的にエピタキシャル結晶成長させようとする場合、直径3インチ以上のシリコン基板を用いる必要があり、このような大きなシリコン基板の表

— 4 —

上させることができず、結晶欠陥の発生、ウェハの反り、あるいは結晶のひび割れなどの問題を生じる。

この発明の目的はこのような従来の問題点を解消し、大面積のシリコン基板でも均一に多孔質化することができ、かつその上にエピタキシャル成長させても良好な結晶性が得られる多孔質シリコン基板の製造方法を提供することにある。

〔課題を解決するための手段〕

この発明の多孔質シリコン基板の製造方法は、エピタキシャル結晶成長の基板となるシリコン単結晶基板の表面を、電解セル中で陽極酸化させることにより多孔質シリコン層を形成して多孔質シリコン基板を製造する方法であり、シリコン基板表面が複数の区画に分かれるように電解セルを分割し、各区画にそれぞれ陰極電極を設けて多孔質シリコン層を面内に均一に形成させるとともに、深さ方向に多孔質シリコン層の孔径を変化させることを特徴としている。

各陰極電極に対する電流密度の制御は、それぞ

— 6 —

れの電極に対して定電流電源を設置し電流密度を同一の値となるように制御してもよいし、あるいは1つの定電流電源から並列的に各電極へ同一電流密度の電流を導通させてもよい。

従来多孔質シリコン基板上に化合物半導体結晶をエピタキシャル成長させる場合、多孔質シリコン基板の多孔質層の厚みは、通常10～50 $\mu$ m程度であり、陽極酸化法によって電流密度を一定の値にして多孔質層の孔径を1～10nmの範囲内で目的に合せて形成させていた。

この発明では、従来のように一定の孔径の多孔質層を形成させるのではなく、深さ方向に多孔質層の孔径を変化させることを特徴としている。深さ方向に孔径を変化させる方法としては、多孔質シリコン層を形成する際に必要とする電流密度を時系列的に変化させる方法がある。このように電流密度を時間とともに変化させることによって深さ方向に孔径を変化させることができる。このような孔径の変化は、エピタキシャル成長を行う材料や膜厚に合せて電流密度を制御することにより

— 7 —

調整することができる。

第3図は、従来の方法に従い電流密度を一定にしたときの電流密度と時間との関係を示す図である。従来は、このように陽極酸化時間に依存することなく電流密度を一定にして陽極酸化を行っていた。

第2図は、この発明に従い電流密度を時間とともに変化させたときの電流密度と時間との関係を示す図である。このように陽極酸化時間とともに電流密度を変化させることによって形成する多孔質シリコン層の孔径を変化させることができる。電流密度の変化の関数は2次であっても3次であってもよく、また他の関数で変化させてもよい。電流密度の変化のさせ方について例を挙げれば以下のようなものがある。

① 電流密度を初期の段階において小さく、最終段階で大きくし、多孔質シリコン層の孔径を初期段階では小さく、最終段階では大きくする。

② 電流密度を初期の段階では大きく、最終段階では小さくし、多孔質シリコン層の孔径を初期

— 8 —

の段階では大きく、最終段階では小さくする。

③ 多孔質シリコン層を形成する際に層の中間部分で電流密度を大きくし、初期および最終段階では小さくして多孔質シリコン層を形成させる。

④ 多孔質シリコン層を形成する際に層の中間部分で電流密度を小さく、初期および最終段階では大きくして多孔質シリコン層を形成する。

第4図は、この発明に従い作製した多孔質シリコン基板の一例を示す概略断面図である。第4図に示されるようにシリコン単結晶基板20の上には多孔質シリコン層21が形成されており、多孔質シリコン層21の孔22は表面に近づくにつれて細くなるように形成されている。

この発明により製造される多孔質シリコン基板の多孔質シリコン層の孔径の変化は、上述したように第4図のものに限定されるものではなく、エピタキシャル成長を行なう材料や膜厚に合せて最適化させることができる。

〔作用〕

この発明では、シリコン基板の表面が複数の区

— 9 —

画に分かれるように電解セルを分割し、各区画にそれぞれの陰極電極を設けて多孔質化を行なっている。このため、シリコン基板の形状がどれほど大型化しても、面内において均一でかつ一定の電流密度を電極間に流すことができ、多孔質シリコン層を面内において均一に形成させることができる。

また、この発明では、深さ方向に多孔質シリコン層の孔径を変化させている。このように多孔質シリコン層の孔径を深さ方向で変化させることにより、基板上にエピタキシャル成長させた化合物半導体結晶や酸化物超電導化合物結晶などの結晶内部に発生した応力をうまく緩和することができ、応力により生じる結晶欠陥、ウェハの反り、および結晶の割れ等を防ぐことができる。

〔実施例〕

第1図は、この発明の一実施例を説明するための装置を示す断面図である。

第1図を参照して、テフロンセル1の上側にはテフロン上蓋2が設けられている。テフロン上蓋

— 10 —

2の中央には空気孔5が形成されている。

テフロンセル1の下側にはテフロン下蓋3が設けられている。テフロンセル1の下方端とテフロン下蓋3の間には、陽極8を下側に取付けたシリコン単結晶基板6が、Oリング4を介して挟みつけて支持されている。テフロンセル1の内部は複数の陰極分離壁10により複数の区画に分けられており、各区画には陰極7が設けられている。それぞれの陰極7は上方で一体化され、支持棒7aにより支持されており、この支持棒7aはテフロン上蓋2の空気孔5内を通り上方に取付けられている。テフロンセル1内には電解液9が入れられている。

以上のようにして構成された電解セルにおいて複数の陰極7と陽極8の間で電流を流すことによりシリコン単結晶基板6の表面が多孔質化される。

第1図に示すような装置で30に区画された、すなわち30個の複数セルを有する電解セルを用い、電解質として一般的に使用されている弗酸/水/エチルアルコール系の水溶液を電解液として

— 11 —

また多孔質シリコン層の孔径のばらつきは、実施例のものでは3%以内であったが、従来の方法によるものでは35%であった。

次に、陽極酸化の時間とともに電流密度を変え多孔質シリコン層の孔径を変化させた。0.1～100 mA/cm<sup>2</sup>の範囲で電流密度を変化させた。電流密度の変化は、第2図に示すような1次関数で減少させ、多孔質シリコン層の孔径を表面から内部に進むにつれて1次関数的に減少させた。初期の電流値を100 mA/cm<sup>2</sup>、最終値を10 mA/cm<sup>2</sup>として、多孔質化させたところ、表面付近の孔径は80 nmであり、多孔質層とシリコン基板との界面においては20 nmであった。

比較として、電流密度を30 mA/cm<sup>2</sup>と一定にし多孔質シリコン層を30 μm形成させた。多孔質シリコン層の孔径は初期段階から最終段階まで約5 nmであり一定であった。

以上のようにして得られた多孔質シリコン基板の上にGaAs結晶をエピタキシャル結晶成長させたところ、孔径を変化させた実施例のものでは

— 13 —

用い、電位密度30 mA/cm<sup>2</sup>としてシリコン単結晶基板を多孔質化した。

得られた基板を劈開し、光学顕微鏡で多孔質層の厚みを測定した。また孔径については透過型電子顕微鏡を用いて観察した。

第5図は、このようにして測定した多孔質シリコン層の厚みの分布を示している。第5図に示されるように、この発明の方法に従い形成された多孔質シリコン層は面内においてほぼ均一であり、基板全体の厚みのばらつきは1%以内であった。

比較として、第7図に示すような従来の電解セルを用いて上記の実施例と同様の電解液および電流密度で多孔質化させ、同様にして多孔質シリコン層の厚みおよび孔径を測定した。

第6図は、従来の方法に従い形成した多孔質シリコン層の厚み分布を示す図である。第6図に示されるように、従来の方法によるものでは、基板の周辺部と中心部において厚みが薄くなるM型の分布であった。また厚みのばらつきは基板全体で20%であった。

— 12 —

欠陥密度が少なく、またウェハの反りや結晶のひび割れが認められなかった。これに対し従来の方法により一定の孔径になるように多孔質化したものでは、欠陥密度が高く、またウェハの反りや結晶のひび割れが観察された。

#### 【発明の効果】

以上説明したように、この発明では、シリコン基板表面が複数の区画に分かれるように電解セルを分割し、各区画にそれぞれ陰極電極を設けて多孔質化しているため、大面積のシリコン基板であっても面内に均一に多孔質シリコン層を形成させることができる。

またこの発明では、深さ方向に多孔質シリコン層の孔径を変化させているため、基板上にエピタキシャル成長をさせた結晶層の結晶内部に発生する応力を緩和することができ、応力により発生する結晶欠陥、ウェハの反り、および結晶の割れを防ぐことができる。

#### 4. 図面の簡単な説明

第1図は、この発明の一実施例を説明するため

— 14 —

の装置を示す断面図である。

第2図は、この発明に従い電流密度を時間とともに変化させたときの電流密度と時間の関係を示す図である。

第3図は、従来の方法に従い電流密度を一定にしたときの電流密度と時間の関係を示す図である。

第4図は、この発明に従い作製した多孔質シリコン基板の一例を示す概略断面図である。

第5図は、この発明の方法に従い形成した多孔質シリコン層の厚み分布を示す図である。

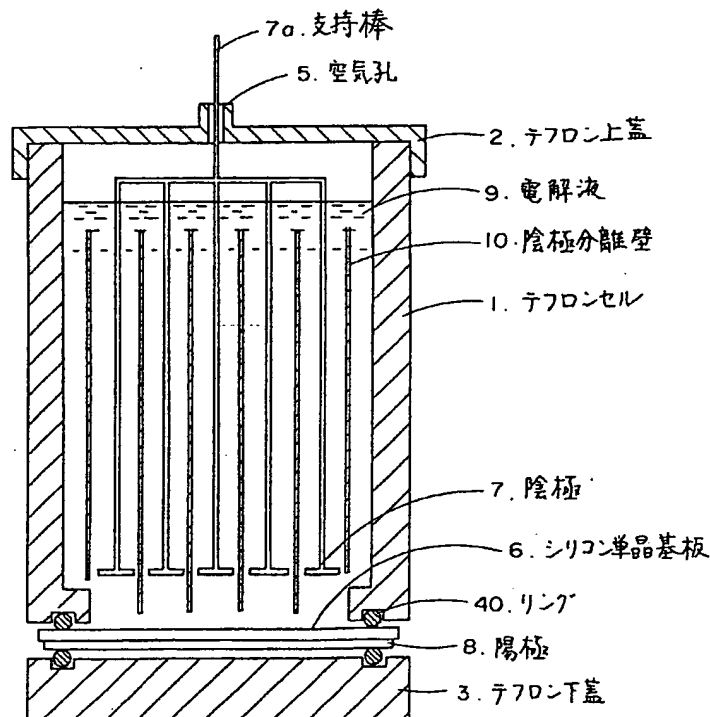
第6図は、従来の方法に従い形成した多孔質シリコン層の厚み分布を示す図である。

第7図は、従来の方法に従う電解セルの装置を示す断面図である。

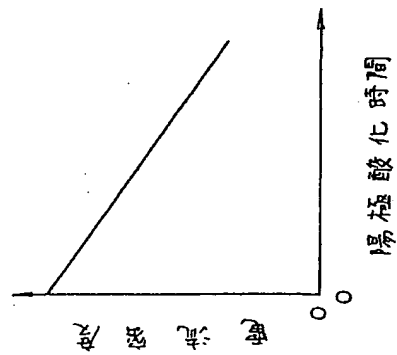
図において、1はテフロンセル、2はテフロン上蓋、3テフロン下蓋、4はOリング、5は空気孔、6はシリコン単結晶基板、7は陰極、8は陽極、9は電解液、10は陰極分離壁、20はシリコン単結晶基板、21は多孔質シリコン層、22は孔を示す。

— 15 —

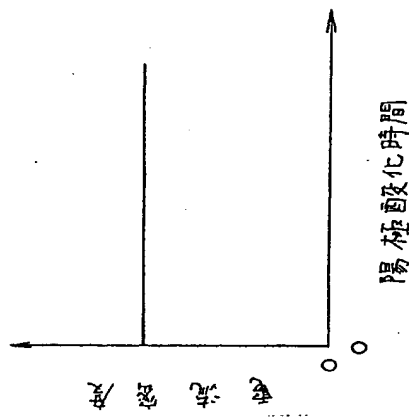
第1図



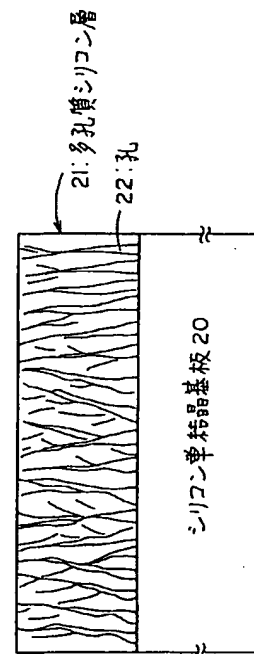
第2図



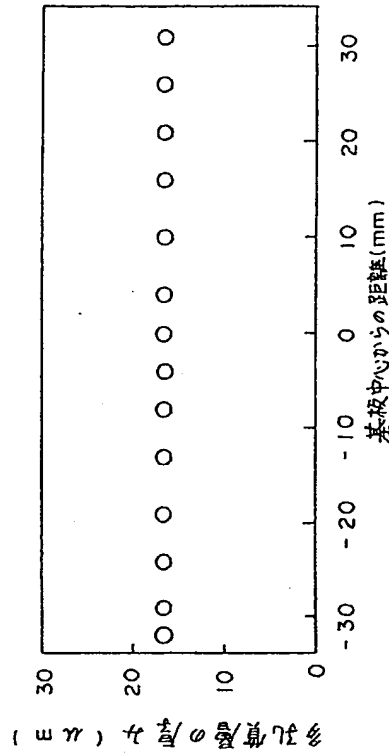
第3図



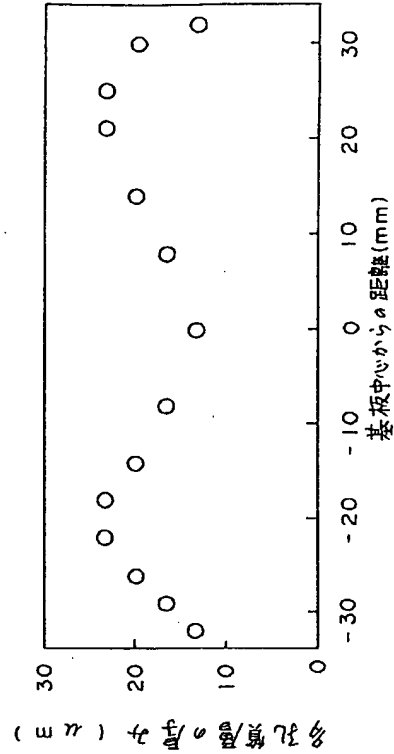
第4図



第5図



第6図





第 7 図

